

DERWENT-ACC-NO: 2003-831865

DERWENT-WEEK: 200453

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Semiconductor assembly has module holder with row of mating contact strips, plug-in connector and conductor to connect contact areas of semiconductor module and plug-in connector

INVENTOR: HOEGERL, J; SYRI, E ; HOGERL, J

PATENT-ASSIGNEE: INFINEON TECHNOLOGIES AG[INFN] , HOGERL J[HOGEL], SYRI E[SYRII]

PRIORITY-DATA: 2002DE-1016823 (April 16, 2002) , 2002DE-1062026 (April 16, 2002)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
US 6774483 B2	August 10, 2004	N/A	000	H01L 023/34
US 20030193085 A1	October 16, 2003	N/A	010	H01L 023/02
DE <u>10216823</u> A1	November 6, 2003	N/A	000	H05K 001/18
DE 10262026 A1	April 1, 2004	N/A	000	H05H 001/18

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
US 6774483B2	N/A	2003US-0414837	April 16, 2003
US20030193085A1	N/A	2003US-0414837	April 16, 2003
DE 10216823A1	N/A	2002DE-1016823	April 16, 2002
DE 10262026A1	Div ex	2002DE-1016823	April 16, 2002

DE 10262026A1

N/A

2002DE-1062026

April 16, 2002

DE 10262026A1

Div ex

DE 10216823

N/A

**INT-CL (IPC): G11C005/06, H01L023/02 , H01L023/34 , H01L025/065 ,
H01L025/10 , H01L027/10 , H05H001/18 , H05K001/18**

ABSTRACTED-PUB-NO: US20030193085A

BASIC-ABSTRACT:

NOVELTY - A substrate (10) in a semiconductor module (1) has a contact strip (12) with connection contact areas (13) at one edge (11). Contacts of each unpacked semiconductor chip (16) are connected to contact areas by conductor tracks (14,15). A module holder has a row of mating contact strips, plug-in connector with row of contacts for providing connection to external components, and a conductor to connect contact areas of the module and connector.

USE - Semiconductor assembly with a semiconductor module e.g. dynamic random access memory (DRAM), static random access memory (SRAM), or RAMBUS memories mounted on a printed circuit board.

ADVANTAGE - Provides a semiconductor assembly which permits an extremely high degree of integration along with simultaneously simplified production and high operation reliability.

DESCRIPTION OF DRAWING(S) - The figure shows a plan view of the semiconductor module.

substrate 10

edge 11

contact strip 12

connection contact areas 13

conductor tracks 14,15

unpacked semiconductor chip 16

CHOSEN-DRAWING: Dwg.1A/3

**TITLE-TERMS: SEMICONDUCTOR ASSEMBLE MODULE HOLD ROW MATE
CONTACT STRIP PLUG**

**CONNECT CONDUCTOR CONNECT CONTACT AREA
SEMICONDUCTOR MODULE PLUG
CONNECT**

DERWENT-CLASS: U11 U14 V04

EPI-CODES: U11-D01A6; U14-A10; V04-Q02A2; V04-Q05;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2003-664820



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

①2 **Offenlegungsschrift**
①0 **DE 102 16 823 A 1**

⑤1 Int. Cl. 7:
H 05 K 1/18
G 11 C 5/06
H 01 L 25/065
H 01 L 27/10

②1 Aktenzeichen: 102 16 823.7
②2 Anmeldetag: 16. 4. 2002
④3 Offenlegungstag: 6. 11. 2003

DE 102 16 823 A 1

⑦1 Anmelder:
Infineon Technologies AG, 81669 München, DE

⑦4 Vertreter:
Epping Hermann Fischer,
Patentanwalts-gesellschaft mbH, 80339 München

⑦2 Erfinder:
Högerl, Jürgen, 93053 Regensburg, DE; Syri, Erich,
93173 Wenzenbach, DE

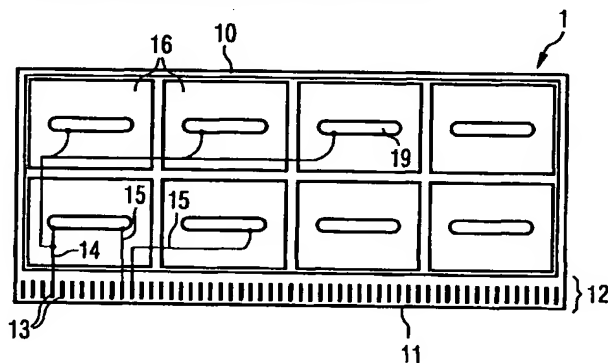
⑤6 Entgegenhaltungen:
DE 197 28 953 A1
DE 295 13 488 U1
US 55 76 554 A

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Halbleitermodul, Halbleiterbaugruppe und Verfahren zur Herstellung eines Halbleitermoduls

⑤1 Die Erfindung ist gerichtet auf ein Halbleitermodul (1), das ein Platinen-Substrat (10) mit Leiterbahnen (14, 15) und einen oder mehrere auf dem Substrat montierte gehäuselose Halbleiterchips (16), die über elektrische Kontakte mit Leiterbahnen (14, 15) auf dem Substrat (10) verbunden sind, dadurch gekennzeichnet, dass das Substrat (10) an einer Kante (11) zumindest eine Kontaktleiste (12) mit Anschlusskontaktflächen (13) aufweist, die mit zumindest einem Teil der Leiterbahnen (14, 15) verbunden sind, aufweist. Durch diese Anordnung lässt sich gegenüber konventionellen Modulen eine höhere Integrationsdichte erreichen, da keine individuellen Gehäuse mehr verwendet werden müssen. Die Erfindung beinhaltet auch Halbleiterbaugruppen, die solche Halbleitermodule (1) umfassen, sowie ein Verfahren zur Herstellung der Halbleitermodule.



DE 102 16 823 A 1

[0001] Die Erfindung betrifft ein Halbleitermodul, bei dem gehäuselose Halbleiterchips direkt mit einem Platinensubstrat verbunden sind sowie Halbleiterbaugruppen, welche das Halbleitermodul mittels eines Modulhalters integrieren.

[0002] Bisherige, mit integrierten Schaltkreisen bestückte Elektronikplatinen bestehen aus der eigentlichen Platine, zumeist einer aus Kunstharz mit integrierten Glasfasern hergestellten flachen Platte mit Leiterbahnen, auf welche die integrierten Schaltkreiskomponenten einzeln oder gestapelt aufgebracht werden, wobei diese Komponenten neben dem eigentlichen, metallischen Halbleiterchip Gehäuse aufweisen, wobei die Halbleiterchips über Verbindungselemente an den Gehäusen, wie Kontaktfüßchen oder Kontaktbälle, mit gegenstückigen Kontaktflächen der Leiterbahnen mit der Platine elektrisch verbunden werden. Im Zuge der fortschreitenden Miniaturisierung von Komponenten bzw. der stets steigenden Integrationsdichte von Komponenten in einem vorgegebenen Flächenbereich einer Platine (beispielsweise im Datenverarbeitungsbereich) wachsen jedoch auch die Restriktionen hinsichtlich der Verwendbarkeit üblicher behäuseter Halbleiterbausteine. Dies zeigt sich besonders ausgeprägt bei Hauptspeichermodulen, etwa DRAM-, SDRAM- oder RAMBUS-Speichern, da bei diesen aufgrund von Vorgaben von Standardisierungsbestrebungen der Hersteller von Datenverarbeitungsanlagen nur vorgegebene Maximalgrößen zur Verfügung stehen. Hauptspeichermodule werden in aller Regel auf sogenannten Hauptplatinen, welche ebenfalls den Prozessor sowie die elektronischen Komponenten zur Ansteuerung von Peripheriegeräten enthalten, in dafür vorgesehene Steckerleisten eingesteckt. Solche Speichermodule bestehen aus einer kleinen Platine, auf der die einzelnen Speicherbausteine, die mit ihren Gehäusen auf der Platine befestigt und mit auf der Platine befindlichen Leiterbahnen elektrisch verbunden sind. Die Platinen in den Speichermodulen weisen an einer Kante eine Kontaktleiste auf, an der die Leiterbahnen nach außen geführt sind und mit der die Platine in die Steckerleisten von Hauptplatinen eingeschoben werden können. Diese Anschlüsse sind standardisiert, um eine beliebige Austauschbarkeit von Speichermodulen auf verschiedenen Hauptplatinen zu gewährleisten. Auch bei anderen elektronischen Geräten, wie integrierten Geräten oder Steuerungen, existieren ähnliche Anforderungsprofile an Speicherbausteine oder auch andere Komponenten. So können Erweiterungsmodule mit einer ein Gerät erweiternden Funktionalität, z. B. ein Modem oder eine I/O Platine, in dafür vorgesehene Steckerplätze eingeführt werden, wobei die Module einen ähnlichen Aufbau wie die zuvor beschriebenen Speicherbausteine aufweisen. In allen diesen Fällen ist der zur Verfügung stehende Platz für die Einsteckmodule begrenzt, da die Breite durch die Steckerleiste und weitere Anforderungen der Gerätehersteller und die Höhe meist durch weitere darüber gelagerte Komponenten, oder durch Luftzirkulationsprobleme etc. auf einen Maximalwert begrenzt ist. Mit bisherigen Integrationstechniken von behäuseten Halbleiterkomponenten auf solchen Speichermodulen stößt man selbst bei doppelseitiger Bestückung der Platinensubstrate an Grenzen der Integrationsdichte. Die hohe Zahl der auf üblichen Speichermodulen befindlichen, einzeln behäuseten Halbleiter erhöht zudem die Wahrscheinlichkeit von Defekten eines entsprechenden Moduls entweder direkt bei der Herstellung oder im späteren Betrieb. Zum Zwecke der weiteren Steigerung der Integrationsdichte wäre es daher wünschenswert, ein Konzept einzuführen, mit dem die räumlichen Limitationen bisheriger Ansätze überwunden werden und mit dem die Fähigkeit zur

Eliminierung von Fehlern verbessert wird.

[0003] Diese Aufgabe wird gelöst durch die Bereitstellung eines Halbleitermoduls gemäß dem unabhängigen Patentanspruch 1, einer Halbleiterbaugruppe gemäß dem unabhängigen Patentanspruch 14, sowie ein Verfahren zur Herstellung eines entsprechenden Halbleitermoduls gemäß dem unabhängigen Patentanspruch 19. Weitere vorteilhafte Ausgestaltungen, Details und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Patentansprüchen, der Beschreibung und den beigelegten Zeichnungen.

[0004] Der Erfindung liegt das Prinzip zugrunde, direkt die metallischen Halbleiterchips, also ohne eine vorherige Unterbringung in einem Gehäuse, auf ein Platinensubstrat aufzubringen und über Leiterbahnen die Kontakte dieser Halbleiter an einer Kante nach außen zu führen. Unter einem gehäuselosen Halbleiterchip ist im Sinne der Erfindung das unmittelbar nach der Waferbearbeitung erhaltene Plättchen eines Halbleiters mit der eingearbeiteten integrierten Schaltung zu verstehen. Die Erfindung basiert auf dem von der Infineon AG entwickelten Board on Chip – Backside Protect (BOC BSP), welches ursprünglich entwickelt wurde, um "ball grid array" Komponenten herzustellen.

[0005] Demgemäß ist die Erfindung zunächst gerichtet auf ein Halbleitermodul, welches aufweist ein Platinensubstrat mit Leiterbahnen und einen oder mehrere auf dem Substrat montierte gehäuselose Halbleiterchips, die über elektrische Kontakte mit Leiterbahnen auf dem Substrat verbunden sind, wobei das Halbleitermodul dadurch gekennzeichnet ist, dass das Substrat an einer Kante zumindest eine Kontaktleiste mit Anschlusskontaktflächen aufweist, die mit zumindest einem Teil der Leiterbahnen verbunden sind. Unter einem Platinensubstrat ist hierbei im Sinne der Erfindung jedes vorzugsweise flächige Gebilde zu verstehen, das in der Lage ist, mit Leiterbahnen versehen zu werden und die gehäuselosen Halbleiterchips aufzunehmen. Unter Leiterbahnen sind flache Metallbänder zu verstehen, welche sich auf oder in dem Platinensubstrat erstrecken und der Leitung elektrischer Signale von und zu den verschiedenen elektronischen Komponenten auf dem Platinensubstrat dienen. Unter einem gehäuselosen Halbleiterchip ist ein Halbleiter, beispielsweise eine integrierte Schaltung zu verstehen, bei welcher der metallische Chip nicht von einem Gehäuse umgeben ist. Es handelt sich also um den Chip, wie er unmittelbar nach Vereinzelung und ggf. Nachbehandlung der Einzelelemente des Wafers vorliegt. Ein solcher Halbleiterchip weist im allgemeinen eine Unterseite auf, die aus Silizium oder einem vergleichbaren Material wie Galliumarsenid besteht, und in die in Richtung auf seine Oberseite die verschiedenen Strukturen mit den üblichen Verfahren der Halbleiterherstellung ein- bzw. aufgebracht worden sind. An der Oberseite befinden sich im allgemeinen auch die elektrischen Kontakte, welche der Verbindung des Halbleiterchips mit der Außenwelt dienen. Im Gegensatz zu herkömmlichen Halbleiterchips, bei denen beim Packaging die Unterseite auf einem Untergrund befestigt wird und die elektrischen Kontakte des Halbleiters dann beispielsweise mittels feiner Drähtchen mit entsprechenden Gegenkontakten des Gehäuses auf dessen Untergrund der Halbleiterchip aufgeklebt worden ist, elektrisch verbunden werden, wird bei der vorliegenden Erfindung der Halbleiterchip vorzugsweise mit seiner Oberseite auf das Platinensubstrat aufgebracht, um möglichst kurze Kontaktwege zu ermöglichen. Es ist allerdings auch möglich, den oder die Halbleiterchips mit den Unterseiten auf das Platinensubstrat aufzukleben oder sonst wie zu befestigen und Drähte zwischen den elektrischen Kontakten und den Leiterbahnen auf dem Substrat zu spannen.

[0006] Erfindungsgemäß soll das Substrat an einer Kante

eine Kontakteiste aufweisen. Diese ähnelt von ihrem prinzipiellen Aufbau her den beispielsweise bei Speichermodulen bekannten Kontakteisten zum Einschieben von Steckverbinder, kann jedoch beliebig klein und fein ausgeführt sein, da, je nach Ausführungsform, keine Rücksicht auf existierende Standards genommen werden muss. Die Anschlusskontaktflächen dienen durch Vermittlung der Leiterbahnen der Kontaktierung der Halbleiterchips mit der Außenwelt, wie beispielsweise weiteren Komponenten oder elektronischen Geräten. Die Abschlusskontaktflächen müssen hierbei nicht mit allen auf dem Platinensubstrat befindlichen Leiterbahnen verbunden sein. Vielmehr kann ein Teil der Leiterbahnen auch der internen Verbindung der verschiedenen, auf dem Platinensubstrat angeordneten gehäuselosen Halbleiterchips dienen.

[0007] Diese internen Leiterbahnen können dazu beitragen, die Komplexität des Halbleitermoduls nach außen hin zu vermindern. Falls es sich um zumindest teilweise gleichartige gehäuselose Halbleiterchips handelt, die auf dem Platinensubstrat angeordnet sind, beispielsweise bei der Fertigung von Speichermodulen, so wird es bevorzugt, dass die Halbleiterchips intern so miteinander verbunden sind, dass solche Signalein- und/oder -ausgänge der Halbleiterchips, welche den verschiedenen Halbleiterchips gemein sind, zu gemeinsamen Anschlusskontaktflächen geführt sind. Typische Beispiele für solche gemeinsamen Signalein- und/oder -ausgänge, welche zu gemeinsamen Abschlusskontaktflächen führen können, sind beispielsweise Stromversorgungsleitungen, Adressbus- oder Datenbusleitungen, Taktleitungen oder Aktivierungs- bzw. Deaktivierungsleitungen (enable, disable). Andere Leitungen müssen individualisiert herausgeführt werden, beispielsweise Leitungen zum Ansprechen individueller Chips (chip select) oder Leitungen zum Ansteuern individueller Halbleiterchips auf dem Halbleitermodul, die nicht gleichartig mit anderen Halbleiterchips auf dem Modul sind. Für ein vollständig adressierbares, achttelligentes Speichermodul kann so die Zahl der notwendigen Anschlüsse auf ca. 50, beispielsweise 54, verringert werden.

[0008] In einer besonders bevorzugten Ausführungsform weist das Platinensubstrat zumindest eine Öffnung auf, über der zumindest ein Halbleiterchip montiert ist, dessen elektrische Kontakte im Bereich der Öffnung liegen und die durch die Öffnung hindurch mit Leiterbahnen auf oder in dem Substrat verbunden sind. Diese bevorzugte Ausführungsform der Erfindung entspricht von der Anordnung der Halbleiterchips und der Öffnung im Substrat her dem BOC BSP Design der Infineon AG, wobei aber erfindungsgemäß keine "ball grid arrays" mit den durch die Öffnung hindurch geführten Kontakten verbunden sind. Bei dieser Ausführungsform der Erfindung sind die Kontakte der gehäuselosen Halbleiterchips durch die Öffnungen hindurch der weiteren Bearbeitung während der Fertigung zugänglich und können beispielsweise mit durch die Öffnung hindurch reichenden Drähten mit den Leiterbahnen verbunden sein oder können mit an der Kante der Öffnung angeordneten Leiterbahnen direkt verlötet werden.

[0009] Die erfindungsgemäß bereit gestellte Kontakteiste des Halbleitermoduls mit Anschlusskontaktflächen kann in unterschiedlicher Weise geschaltet sein. So kann ein Steckersystem vorgesehen sein, an dem sich die Anschlusskontaktflächen befinden und das an der Kante des Platinensubstrats befestigt wird. Mit diesem Stecker können dann Verbindungen mit entsprechenden Gegensteckern auf beispielsweise Hauptplatinen oder anderen Geräteelementen, mit denen das Halbleitermodul verbunden werden soll, hergestellt werden.

[0010] Eine besonders einfache Ausführungsform ergibt

sich, wenn, vergleichbar den Anschlussbereichen heutiger Speichermodule, die Kontakteiste eine Kontaktregion des Substrats ist, auf der die Anschlusskontaktflächen als speziell ausgeführte Bereiche der Leiterbahnen parallel zueinander angeordnet sind. Auf diese Weise werden neben den eigentlichen Leiterbahnen keine weitere Elemente benötigt, um einen Kontakt durch Einschieben in einen entsprechenden Halter ("slot") zu bewirken.

[0011] Wie bereits ausgeführt, können die Halbleiterchips in besonders bevorzugten Ausführungsformen Speicherbausteine umfassen. Durch die Gleichartigkeit einer großen Zahl von Speicherbausteinen, welche sich auf solchen Modulen unterbringen lassen, lässt sich in besonders einfacher Weise eine hohe Integrationsdichte herstellen. Die Halbleiterchips können allerdings auch ASICs oder Mikroprozessoren etc. umfassen, so dass insgesamt der funktionalen Ausgestaltung der erfindungsgemäßen Halbleitermodule keine Grenzen gesetzt sind. Das Platinensubstrat kann vorzugsweise eine flache Platte aus einem Material sein, das Kunstharz aufweist, beispielsweise ein Kunstharz-Glasfaserverbund. Das Platinensubstrat entspricht damit von seiner Struktur her vorbekannten Platinen.

[0012] Das gesamte bezüglich der Herstellung von Platinen zur Verfügung stehende Wissen kann auch auf die für das erfindungsgemäße Halbleitermodul verwendete Platine angewendet werden. So können die Leiterbahnen des Platinensubstrats beispielsweise in mehreren Verdrahtungsebenen angeordnet sein, die einen sandwichartigen Aufbau des Platinensubstrats bedingen. Die einzelnen Verdrahtungsebenen können miteinander durch Kontaktierungspunkte, welche sich in Querrichtung der Leiterbahnenflächen erstrecken, verbunden sein.

[0013] Eine weitere Steigerung der Integrationsdichte lässt sich in einer Ausführungsform erzielen, welche mit individuell behäuten Halbleiterchips grundsätzlich nicht möglich ist. Es können nämlich auch eine Mehrzahl gleicher Halbleiterchips auf dem Platinensubstrat angeordnet sein, die nicht vereinzelt sind. Halbleiterchips werden in Wafern produziert, im allgemeinen runden Scheiben, in die während der Produktion der Halbleiterchips eine Vielzahl solcher Halbleiterchips eingearbeitet werden. Bei konventioneller Anwendung werden nach der Herstellung und ggf. Tests die Halbleiterchips singularisiert (vereinzelt) und im Anschluss in die gewünschte Gehäuseform eingebaut. Durch die Verwendung gehäuseloser Halbleiterchips ist es jedoch möglich geworden, auf eine solche Vereinzeltung zu verzichten. Vielmehr können nach der Herstellung auf dem Wafer ganze Riegel mit einer Mehrzahl von Halbleiterchips zusammenhängend bleiben und als solcher Verbund direkt auf dem Platinensubstrat befestigt werden. Durch den Fortfall von ansonsten einzuhaltenden Abständen zwischen den einzelnen Halbleiterchips bei gleichzeitig gewährleisteter exakter Positionierbarkeit der Chips lässt sich auf dem erfindungsgemäßen Halbleitermodul weiterer Platz einsparen und damit die Integrationsdichte erhöhen.

[0014] Die kantenständige Kontakteiste des Halbleitermoduls mit den Anschlusskontakten kann, wie bereits oben ausgeführt, je nach Einsatzzweck beliebig ausgestaltet sein, beispielsweise mit sehr feinen Kontakten, um bei speziellen Geräten geringste Bauteileabmessungen zu ermöglichen. Es ist jedoch auch möglich, die Kontakteisten so auszugestalten, dass sie existierenden Standards genügen, um direkt als Standardkomponenten Verwendung finden zu können. So ist es möglich, die bei DIMMs üblichen Abmaßungen einzuhalten und damit die Halbleitermodule der vorliegenden Erfindung direkt als Speicherbausteine für beispielsweise Computer verwenden zu können. Die Abstände können ebenfalls so bemessen sein, dass an ihnen unmittelbar Stek-

kerleisten angebracht werden können, welche der Verbindung mit anderen Komponenten über ein solches Steckersystem dienen können. Beispielsweise können die Kontaktleisten so ausgestaltet sein, dass das erfindungsgemäße Halbleitermodul direkt in ein Kompaktgehäuse, wie beispielsweise ein PCMCIA-Gehäuse oder ein Compact Flash Gehäuse oder ein MMC-Gehäuse eingebaut werden kann.

[0015] Je nach geplanter späterer Verwendung des erfindungsgemäßen Halbleitermoduls, beispielsweise bei direktem Kundenkontakt, kann es wünschenswert sein, das Halbleitermodul, insbesondere die nicht behäuten Halbleiterchips sowie die Kontaktdrähte zur Verbindung der elektrischen Kontakte der Halbleiterchips mit den Leiterbahnen vor Berührung durch Anwender oder durch weitere Komponenten zu schützen, um Defekte zu vermeiden. Hierzu ist es bevorzugt, dass das Halbleitermodul eine Abdeckung aufweist, die zumindest die Halbleiterchips und die Kontakte zu den Leiterbahnen abdeckt. Hierzu können Deckel verwendet werden, die ein- oder zweiseitig auf dem Halbleitermodul angebracht werden. Es wird insbesondere bevorzugt, dass die Abdeckung auf dem erfindungsgemäßen Halbleitermodul vergossen wird. Dies ermöglicht insbesondere bei Ausführungen mit einer Öffnung, durch die hindurch die Kontakte der Halbleiterchips zugänglich sind, ein komplettes Verfüllen dieser Öffnungen und damit einen guten Schutz von herausführenden Drähten, wobei gleichzeitig auch die Halbleiterchips auf der anderen Seite durch die Vergießung mit einer Schutzschicht bedeckt werden können. Diese Ausführungsform der Erfindung entspricht im wesentlichen wieder dem vorbekannten BOC BSP-Design der Infineon AG, so dass der Fachmann weiß, wie er im Einzelfall eine Abdeckung herstellen kann. Alternativ können empfindliche Bereiche des Halbleitermoduls auch durch Bedrucken mit einem entsprechend geeigneten Polymer in beispielsweise Tintenstrahltechnologie oder ähnlichem geschützt werden.

[0016] Die Erfindung ist weiterhin auf einer Halbleiterbaugruppe, das Halbleitermodul verwendend, gerichtet. Alles bezüglich des Halbleitermoduls Gesagte gilt gleichermaßen auch für die Halbleiterbaugruppe und umgekehrt, so dass wechselseitig Bezug genommen wird.

[0017] Die Erfindung ist dementsprechend weiterhin gerichtet auf eine Halbleiterbaugruppe, welche aufweist zumindest ein Halbleitermodul gemäß der Erfindung; einen Modulhalter mit einem Steckanschluss zur elektrischen Verbindung mit anderen Komponenten; zumindest einer Gegenkontaktleiste zur Verbindung mit den Kontaktleisten des zumindest einen Halbleitermoduls, und elektrischen Leitern zwischen den Kontaktflächen des zumindest einen Halbleitermoduls und elektrischen Kontakten des Steckanschlusses. Die erfindungsgemäße Halbleitergruppe weist also zwei Hauptkomponenten auf, nämlich zum einen das Halbleitermodul, wie oben beschrieben, zum anderen einen Modulhalter. Der Modulhalter wiederum besteht aus drei funktionalen Bereichen, nämlich erstens einem Steckanschluss beliebiger Bauart, mit dem die Halbleiterbaugruppen mit anderen elektrischen Geräten, beispielsweise einem Mainboard eines Computers, in elektrische Verbindung gebracht werden kann, zweitens aus einem Bereich mit einer Gegenkontaktleiste zur Verbindung mit der Kontaktleiste des oder der erfindungsgemäßen Halbleitermodule und drittens aus einem Bereich, der der elektrischen Verbindung der ersten und zweiten Bereiche dient. Während im allgemeinen lediglich ein Steckanschluss vorgesehen ist, mit dem die erfindungsgemäße Halbleiterbaugruppe mit der Außenwelt in Kontakt treten kann, ist für jedes vorgesehene Halbleitermodul eine Gegenkontaktleiste für die Verbindung mit der Kontaktleiste zum jeweiligen Halbleitermodul vorzusehen.

[0018] Die elektrische Verdrahtung zwischen den verwendeten Halbleitermodulen und dem nach außen geführten Steckanschluss kann in bekannter Weise erfolgen, beispielsweise mittels auf Platinen aufgebrachten Leiterbahnen, mit Drähten, mit Kontaktbügeln oder mit ähnlichen Vorrichtungen. Die Zahl der in einer erfindungsgemäßen Halbleiterbaugruppe integrierbaren erfindungsgemäßen Halbleitermodule ist nur von den elektrischen und räumlichen Gegebenheiten abhängig. Im einfachsten Fall fungiert der Modulhalter lediglich als eine Art von Adapter, bei der ein einzelnes Halbleitermodul über den Halter an beliebige andere Stecksysteme angepasst werden kann. Vorzugsweise wird jedoch, gerade aufgrund der hohen Integrationsdichte der erfindungsgemäßen Halbleitermodule, eine Mehrzahl von Halbleiter auf dem Modulhalter angeordnet werden, um so von den Vorteilen des erfindungsgemäßen Halbleitermoduls besonders profitieren zu können. So ist es vorstellbar, vier oder auch acht der erfindungsgemäßen Halbleitermodule in einer erfindungsgemäßen Halbleiterbaugruppe zu integrieren, beispielsweise bei Verwendung der Halbleitermodule für Speicherriegel, wie DRAM- oder RAMBUS-Einheiten. So können mehrere Halbleitermodule hintereinander auf der Halbleiterbaugruppe angeordnet sein. Hierunter ist zu verstehen, dass die Halbleitermodule mit ihren Hauptoberflächen parallel zueinander beabstandet ausgerichtet sind. Genau wie auf den Halbleitermodulen können auch im Bereich des Modulhalters Komponenten angeordnet sein, die mit Leiterbahnen verbunden sind und die der Beeinflussung von durch die Leiterbahnen fuhrbaren elektrischen Signalen dienen. Auf diese Weise lassen sich beliebig zusätzliche Steuerungsfunktionen, Auswahlfunktionen oder Pegelanpassungen und ähnliches, welche zur elektrischen Verbindung der Halbleitermodule mit der Außenwelt im konkreten Kontext der erfindungsgemäßen Halbleiterbaugruppe notwendig sind, implementieren.

[0019] Die Halbleiterbaugruppe gemäß der vorliegenden Erfindung kann weiterhin eine Abdeckung zum Schutz der Halbleitermodule aufweisen. Dies kann beispielsweise eine Haube sein, welche über alle Halbleitermodule gestülpt ist.

[0020] Da ein wichtiges Einsatzgebiet der erfindungsgemäßen Halbleiterbaugruppen im Bereich von Standardbauteilen, wie beispielsweise Speicherriegeln, liegt, wird es des weiteren bevorzugt, dass der Steckanschluss eine Steckleiste einer normierten oder standardisierten Bauart ist. Unter einer Norm ist hierbei eine vereinheitlichte Bauart zu verstehen, die von einer staatlichen oder staatlich-beauftragten Institution entwickelt worden ist, während unter einem Standard hierbei eine de facto vereinheitlichte Bauart, beispielsweise auf Initiative eines Unternehmens, zu verstehen ist.

[0021] Schließlich ist die Erfindung noch auf ein Verfahren zur Herstellung eines erfindungsgemäßen Halbleitermoduls gerichtet, wobei wieder alles bezüglich des Halbleitermoduls bzw. der Halbleiterbaugruppe Gesagte auch für das Verfahren und umgekehrt gilt, so dass wechselseitig Bezug genommen wird. Das erfindungsgemäße Verfahren weist folgende Schritte auf:

- Bereitstellen eines Platinensubstrats mit Leiterbahnen, wobei das Substrat an einer Kante zumindest eine Kontaktleiste mit Anschlusskontaktflächen aufweist, die mit zumindest einem Teil der Leiterbahnen verbunden sind;
- Montieren eines oder mehrerer gehäuseloser Halbleiterchips auf dem Platinensubstrat;
- Verbinden von Kontakten auf den Halbleiterchips mit Leiterbahnen auf dem Substrat.

[0022] In einer bevorzugten Ausführungsform weist das Platinensubstrat zumindest eine Öffnung auf, wobei der zumindest eine Halbleiterchip so auf einer Oberfläche des Substrats montiert wird, dass seine Kontakte an der Öffnung von der anderen Oberfläche des Substrats zugänglich sind, wobei das Verbinden von Kontakten durch die Öffnung hindurch erfolgt. Wie bereits oben ausgeführt, können hierbei beispielsweise Drähte zwischen den Kontakten der Halbleiterchips und den Ansatzpunkten der Leiterbahnen gezogen werden, oder es kann ein Verlöten direkt zwischen den Kontakten der Halbleiterchips und Anschlussstellen der Leiterbahnen erfolgen.

[0023] Das Verfahren kann zusätzlich durch den folgenden, weiteren Schritt ergänzt werden:

- Vergießen eines plastischen Materials auf das Halbleitermodul zum Schutz der Halbleiterchips und der Verbindung zwischen Halbleiterchips und Leiterbahnen.
- Alternativ kann dieser Schritt auch folgendermaßen ausgestaltet sein:
- Aufdrucken einer Schutzschicht auf das Halbleitermodul zum Schutz der Halbleiterchips und der Verbindung zwischen Halbleiterchips und Leiterbahnen.

Kurze Beschreibung der Zeichnungen

[0024] Im folgenden soll die Erfindung anhand konkreter Ausführungsbeispiele näher erläutert werden, wobei auf die beigelegten Zeichnungen Bezug genommen werden soll, in denen folgendes dargestellt ist:

[0025] Fig. 1A zeigt in Aufsicht ein schematisiertes Halbleitermodul gemäß der vorliegenden Erfindung;

[0026] Fig. 1B zeigt ein entsprechendes Halbleitermodul in Seitenansicht, wobei insbesondere die Abdeckung dargestellt wird;

[0027] Fig. 2A zeigt eine Aufsicht auf eine erfindungsgemäße Halbleiterbaugruppe mit einem Modulhalter und zwei dargestellten Halbleitermodulen;

[0028] Fig. 2B zeigt eine entsprechende Halbleiterbaugruppe in Seitenansicht; und

[0029] Fig. 3 zeigt eine erfindungsgemäße Halbleiterbaugruppe in Aufsicht, von der anderen Seite aus betrachtet.

[0030] Die vorliegende Erfindung stellt high density Halbleitermodule in Kombination eines erfinderisch weiter entwickelten BOC-Designs vor. Bisherige Ansätze zur Realisierung von elektronischen Baugruppen gehen zumeist von einem PCB ("printed circuit board") aus, auf das einzelne oder auch gestackte Komponenten aufgebracht werden. Dazu sind diese Komponenten, beispielsweise behäusete Halbleiterbauteile mit Verbindungselementen, wie Kontaktfüßchen oder -bällen, zu versehen. Das Aufbringen und Anschließen erfolgt in separaten Prozessen.

[0031] Gemäß der vorliegenden Erfindung wird als Basismaterial typischerweise ein BT-Substrat mit einer ein- oder doppelseitigen Umverdrahtungsebene eingesetzt. Entgegen aus dem Stand der Technik bekannten Entwürfen, bei denen jede Komponente eine einzelne Einheit darstellt, werden hier mehrere unbehäusete Halbleiterchips zu einer Einheit zusammengefasst. Die aus dem Stand der Technik ebenfalls bekannten Kontaktpunkte ("landing pads") für die bei "ball grid arrays" typischerweise verwendeten kleinen Kugeln werden hier jedoch nicht implementiert, sondern die einzelnen Chips werden vielmehr vorzugsweise derart untereinander verbunden, dass alle Halbleiterchips von einer am Rand liegenden Kontaktleiste angesprochen werden können, wobei beispielsweise Leitungen, wie PWR, GND oder DQs zu-

sammengefasst werden, während separate Chipselects für jeden gehäuselosen Halbleiterchip herangeführt werden.

[0032] Die zur Herstellung eines solchen erfindungsgemäßen Halbleitermoduls notwendigen Prozesse sind dem Fachmann als Standardverfahren durchaus geläufig, wie beispielsweise "die bonden", "plasma cleaning", "wire bonden" und das Molden (Spritzguss einer Abdeckung) bzw. Printen mit Polymer der Halbleitermodulrückseite (auf der die Halbleiterchips aufgebracht sind) und ggf. vorhandener Öffnungen (der sog. bond channels). Der bei ähnlichen Verfahren verwendete "Ball-Attach"-Prozess kann erfindungsgemäß komplett entfallen, da eine kantenständige Kontaktleiste entsprechende Anschlusskontaktflächen bereit stellt. Wie bereits oben beschrieben, kann selbst das Singulieren der Komponenten bei einer geeigneten Dimensionierung des erfindungsgemäßen Halbleitermoduls entfallen. Die üblichen Testungen der Komponenten, wie "backend"-Test und burn-in, können vorzugsweise am komplett hergestellten Halbleitermodul durchgeführt werden, wobei sich die zumindest bei Speichermodulen gegebene hohe Parallelität positiv auf die Testzeiten auswirkt. Unter der Voraussetzung guter "backend"-Ausbeuten und Wahl eines geeigneten Vortests auf Scheibenebene kann die Ausfallquote der Halbleitermodule entscheidend gesenkt werden. Um die erfindungsgemäßen Halbleitermodule mit der Außenwelt zu verbinden, wird ein Modulhalter (ein sog. multifunktionaler Stecker) eingesetzt. Dieser kann einem herkömmlichen PCB dadurch ähneln, dass er eine genormte Steckerleiste, wie beispielsweise 168- oder 184-polige Stecker für Speicherbausteine, aufweist. Zusätzlich können in oder auf diesem Modulhalter die notwendigen aktiven, wie EEPROM, Register, oder PLL, oder passiven Bauteile, wie Widerstände, Kondensatoren, auf- bzw. eingebracht werden. Zur Verbindung mit den erfindungsgemäßen Halbleitermodulen besitzt der Modulhalter Einschiebe, in welche die Halbleitermodule hintereinander, nebeneinander oder auch übereinander gesteckt werden können.

[0033] Der üblicherweise notwendige Surface-Mounting-Technology-Prozess entfällt für die einzelnen Komponenten vollständig. Zur Feinabstimmung der gesamten Halbleiterbaugruppe notwendige Widerstände oder Kondensatoren können entweder auf den Modulhaltern aufgebracht oder in deren Basismaterial eingebettet werden. Um die Modulhalter bzw. die Halbleiterbaugruppen vor zu großen mechanischen Belastungen zu schützen, können diese mit einer zusätzlichen Abdeckung geschützt werden. Ein zusätzlicher Effekt dieser Abdeckung kann die Abfuhr von Wärme sein.

[0034] Die vorliegende Erfindung hat zahlreiche Vorteile gegenüber aus dem Stand der Technik bekannten Lösungen. So kann ein höchst integrierter Bauelementträger, wie beispielsweise ein Speicherriegel auf Basis eines BOC-Prozesses hergestellt werden. Die Zahl der notwendigen Prozessschritte kann reduziert werden, da Schritte wie das Ball-Attachement, die Singularisierung der Chips, und bestimmte Lötprozesse für einzelne Komponenten entfallen können. Da der Modulhalter der erfindungsgemäßen Halbleiterbaugruppe beliebig bestückt werden kann, kann beispielsweise bei der Herstellung von Speicherbausteinen die Speicherkapazität durch Verwendung unterschiedlicher erfindungsgemäßer Halbleitermodule frei konfiguriert werden, ohne dass eine größere Zahl verschiedener Bauelemente bereit gehalten werden müsste. Die erfindungsgemäße Halbleiterbaugruppe lässt sich zudem in einfacher Weise reparieren, da im Falle eines Defektes lediglich das schadhafte Halbleitermodul reversibel herausgelöst werden kann. Der Modulhalter kann als ein universaler multifunktionaler Sockel betrachtet werden, der komplett von einem Sub-Lieferant bezogen werden kann, was zu einem Entfall des inhäusigen Surface-

Mounting-Technologie-Prozesses führen kann. Schließlich können embedded passive Bauelemente durch das erfindungsgemäße Verfahren und Halbleitermodul auch auf BOC-Substratebene zum Einsatz kommen.

[0035] Fig. 1A zeigt ein erfindungsgemäßes Halbleitermodul 1 mit einem Platinensubstrat 10 und ungehäusten Halbleiterchips 16. Das Platinensubstrat weist an einer Kante 11 eine Kontaktleiste 12 mit Anschlusskontaktflächen 13 auf. Kontakte der einzelnen Halbleiterchips sind über Leiterbahnen 14 bzw. 15 mit Anschlusskontaktflächen 13 verbunden. Es wird hier darauf hingewiesen, dass es sich um eine schematische Darstellung handelt, da naturgemäß nicht gleichzeitig die Halbleiterchips und die ggfs. auf der anderen Seite des Platinensubstrats befindlichen Leiterbahnen gezeigt werden könnten. Die Leiterbahn 14 zeigt exemplarisch, wie gleichartige Kontakte der verschiedenen Chips miteinander verbunden und zusammengefasst werden können, um an einer gemeinsamen Anschlusskontaktfläche 13 nach außen geführt zu werden. Leiterbahnen 15 zeigen hingegen, dass andere Kontakte, wie beispielsweise Chipselectsignale individuell für jeden Halbleiterchip ansteuerbar sein müssen, so dass diese einzeln zu unterschiedlichen Anschlusskontaktflächen 13 geführt werden müssen. Das Platinensubstrat weist in der vorliegenden Ausführungsform des weiteren Öffnungen 19 (bond channels) auf, über welche die Kontakte der gehäuselosen Halbleiterchips von der anderen Seite des Platinensubstrats zugänglich sind und von wo aus sie mittels nicht dargestellter Drähtchen mit Anschlusspunkten für die Leiterbahnen 14, 15 verbunden sein können.

[0036] Fig. 1B zeigt in Seitenansicht ein entsprechendes erfindungsgemäßes Halbleitermodul. Neben dem Substrat 10 ist in dieser Darstellung eine Abdeckung 17 zu erkennen, welche durch die Öffnungen 19 als Auswölbung 18 auch auf der anderen Seite des Platinensubstrats 10 hervortritt. Es versteht sich, dass auch andere Ausführungsformen der vorliegenden Erfindung möglich sind, beispielsweise solche, bei denen die verwendeten gehäuselosen Halbleiterchips nicht in der Mitte ihrer Oberseite, sondern am Rande die Kontakte tragen, so dass keine Öffnungen 19 notwendig sind, sondern die Kontakte am Rand kontaktiert werden können.

[0037] Fig. 2A zeigt eine erfindungsgemäße Halbleiterbaugruppe, welche aus Halbleitermodulen 1, wie in Fig. 1A gezeigt, und einem Modulhalter 20 besteht. Der Modulhalter 20 weist einen Halterungsbereich 21 mit einer Reihe von (in Fig. 2B dargestellten) Gegenkontaktleisten zum Einschieben von Halbleitermodulen 1 auf. Er weist weiterhin einen Steckanschluss 22 zur elektrischen Verbindung mit anderen Komponenten, wie beispielsweise dem Mainboard eines Computers, auf. Am Steckanschluss 22 sind eine Reihe von Kontakten 23 vorgesehen, welche über nicht dargestellte interne Leitungen eine Verbindung zwischen den Kontakten der Halbleitermodule und der Außenwelt bewirken. Der Steckanschluss weist in der vorliegenden Ausführungsform weitere aktive oder passive Komponenten 24 auf, die in die Leiterbahnen eingesetzt sind und der weiteren Modifizierung der Signale und Pegel dienen.

[0038] In Fig. 2B ist eine Halbleiterbaugruppe 2 gemäß der vorliegenden Erfindung in Seitenansicht gezeigt. Zusätzlich zu insgesamt vier dargestellten Halbleitermodulen 1, welche in den Steckanschluß 21 eingesteckt sind, weist diese Baugruppe auch einen Deckel 25 zum Schutz der Halbleitermodule vor Beschädigung auf. Aus der Zeichnung ist auch ersichtlich, daß die Halbleitermodule in engem Abstand zueinander angeordnet werden können. Je nach Wahl des Platinensubstrats 10 und der Abdeckung 17 kann eine Rasterung im Abstand von etwa 1 mm erreicht werden, da die eigentlich, gehäuselosen Halbleiterchips im Vergleich zu

Halbleitergehäusen sehr flach sind.

[0039] Fig. 3 zeigt die Rückseite einer entsprechenden Halbleiterbaugruppe mit Abdeckungen 17 der erfindungsgemäßen Halbleitermodule 1 und weiteren Komponenten 24.

[0040] Die vorliegende Erfindung stellt Halbleitermodule bereit, welche einen extrem hohen Integrationsgrad bei einer gleichzeitig vereinfachten Fertigung und einer hohen Betriebssicherheit ermöglichen.

Bezugszeichenliste

- 1 Halbleitermodul
- 2 Halbleiterbaugruppe
- 10 Platinensubstrat
- 11 Kante des Substrats
- 12 Kontaktleiste
- 13 Anschlusskontaktflächen
- 14, 15 Leiterbahnen
- 16 gehäuselose Halbleiterchips
- 17 Abdeckung
- 18 Auswölbung der Abdeckung
- 19 Öffnungen
- 20 Modulhalter
- 21 Halterungsbereich
- 22 Steckanschluss
- 23 Kontakte
- 24 Aktive und passive Komponenten
- 25 Deckel

Patentansprüche

1. Halbleitermodul (1), aufweisend ein Platinensubstrat (10) mit Leiterbahnen (14, 15) und einen oder mehrere auf dem Substrat montierte gehäuselose Halbleiterchips (16), die über elektrische Kontakte mit Leiterbahnen (14, 15) auf dem Substrat (10) verbunden sind, dadurch gekennzeichnet, daß das Substrat (10) an einer Kante (11) zumindest eine Kontaktleiste (12) mit Anschlußkontaktflächen (13) aufweist, die mit zumindest einem Teil der Leiterbahnen (14, 15) verbunden sind.
2. Halbleitermodul (1) nach Anspruch 1, dadurch gekennzeichnet, daß die Halbleiterchips (16) so miteinander verbunden sind, daß verschiedenen Halbleiterchips (16) gemeinsame Signalein- und/oder -ausgänge zu gemeinsamen Anschlußkontaktflächen (13) geführt sind.
3. Halbleitermodul (1) nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß das Platinensubstrat (10) zumindest eine Öffnung (19) aufweist, über der zumindest ein Halbleiterchip (16) montiert ist, dessen elektrischen Kontakte im Bereich der Öffnung (19) liegen und durch die Öffnung (19) hindurch mit Leiterbahnen (14, 15) verbunden sind.
4. Halbleitermodul (1) nach Anspruch 3, dadurch gekennzeichnet, daß die elektrischen Kontakte des zumindest einen Halbleiterchips (16) über durch die Öffnung (19) hindurchreichende Drähte mit den Leiterbahnen (14, 15) verbunden sind.
5. Halbleitermodul (1) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Kontaktleiste (12) eine Kontaktregion des Substrats ist, auf der die Anschlußkontaktflächen (13) als speziell ausgeführte Bereiche der Leiterbahnen (14, 15) parallel zueinander angeordnet sind.
6. Halbleitermodul (1) nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Halbleiterchips (16) Speicherbausteine umfassen.
7. Halbleitermodul (1) nach einem der Ansprüche 1

- bis 5, dadurch gekennzeichnet, daß die Halbleiterchips (16) ASICs umfassen.
8. Halbleitermodul (1) nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß das Platinen-Substrat (10) eine flache Platte aus einem Material ist, das Kunstharz aufweist. 5
9. Halbleitermodul (1) nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, daß die Leiterbahnen (14, 15) des Platinen-Substrats (10) in mehreren Verdrahtungsebenen angeordnet sind. 10
10. Halbleitermodul (1) nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, daß eine Mehrzahl gleicher Halbleiterchips (16) auf dem Platinen-Substrat (10) angeordnet sind, die nicht vereinzelt sind.
11. Halbleitermodul (1) nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, daß die Kontaktleiste (12) einem zur Verbindung des Speichermoduls mit anderen elektronischen Komponenten geeigneten Standard genügt. 15
12. Halbleitermodul (1) nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß es eine Abdeckung (17) aufweist, die zumindest die Halbleiterchips (16) und die Kontakte zu den Leiterbahnen (14, 15) abdeckt. 20
13. Halbleitermodul (1) nach Anspruch 12, dadurch gekennzeichnet, daß die Abdeckung (17) auf dem Halbleitermodul (1) vergossen ist.
14. Halbleiterbaugruppe (2), aufweisend:
zumindest ein Halbleitermodul (1) gemäß einem der Ansprüche 1 bis 13; 30
einen Modulhalter (20) mit einem Steckanschluß (22) zur elektrischen Verbindung mit anderen Komponenten; zumindest einer Gegenkontaktleiste (21) zur Verbindung mit den Kontaktleisten (12) des zumindest einen Halbleitermoduls (1); und elektrischen Leitern zwischen den Kontaktflächen (13) des zumindest einen Halbleitermoduls (1) und elektrischen Kontakten (23) des Steckanschlusses. 35
15. Halbleiterbaugruppe (2) nach Anspruch 14, dadurch gekennzeichnet, daß mehrere Halbleitermodule (1) hintereinander auf der Halbleiterbaugruppe (2) angeordnet sind. 40
16. Halbleiterbaugruppe (2) nach Anspruch 14 oder 15, dadurch gekennzeichnet, daß auf dem Modulhalter Komponenten angeordnet und mit Leiterbahnen verbunden sind, die der Beeinflussung von durch die Leiterbahnen fuhrbaren elektrischen Signalen dienen. 45
17. Halbleiterbaugruppe (2) nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, daß sie weiterhin aufweist einen Deckel (25) zum Schutz der Halbleitermodule. 50
18. Halbleiterbaugruppe (2) nach einem der Ansprüche 14 bis 17, dadurch gekennzeichnet, daß der Steckanschluß (22) eine Steckerleiste einer normierten oder standardisierten Bauart ist. 55
19. Verfahren zur Herstellung von Halbleitermodulen (1) mit folgenden Schritten:
- Bereitstellen eines Platinen-Substrats (10) mit Leiterbahnen (14, 15), wobei das Substrat (10) an einer Kante (11) zumindest eine Kontaktleiste (12) mit Anschlußkontaktflächen (13) aufweist, die mit zumindest einem Teil der Leiterbahnen (14, 15) verbunden sind; 60
 - Montieren eines oder mehrerer gehäuseloser Halbleiterchips (16) auf dem Substrat (10); 65
 - Verbinden von Kontakten auf den Halbleiterchips (16) mit Leiterbahnen (14, 15) auf dem Substrat (10).

20. Verfahren nach Anspruch 19, dadurch gekennzeichnet, daß das Platinen-Substrat (10) zumindest eine Öffnung (19) aufweist und der zumindest eine Halbleiterchip (16) so auf einer Oberfläche des Platinen-Substrats (10) montiert wird, daß seine Kontakte an der Öffnung (19) von einer anderen Oberfläche des Platinen-Substrats (10) zugänglich sind, wobei das Verbinden von Kontakten durch die Öffnung (19) hindurch erfolgt.
21. Verfahren nach Anspruch 19 oder 20, gekennzeichnet durch den weiteren Schritt:
Vergießen eines plastischen Materials auf das Halbleitermodul (19) zum Schutz des zumindest einen Halbleiterchips (16) und der Verbindungen zwischen Halbleiterchip (16) und Leiterbahnen (14, 15).
22. Verfahren nach Anspruch 19 oder 20, gekennzeichnet durch den weiteren Schritt:
Aufdrucken einer Schutzschicht auf das Halbleitermodul (1) zum Schutz des zumindest einen Halbleiterchips (16) und der Verbindungen zwischen Halbleiterchip (16) und Leiterbahnen (14, 15).

Hierzu 2 Seite(n) Zeichnungen

- Leerseite -

FIG 1A

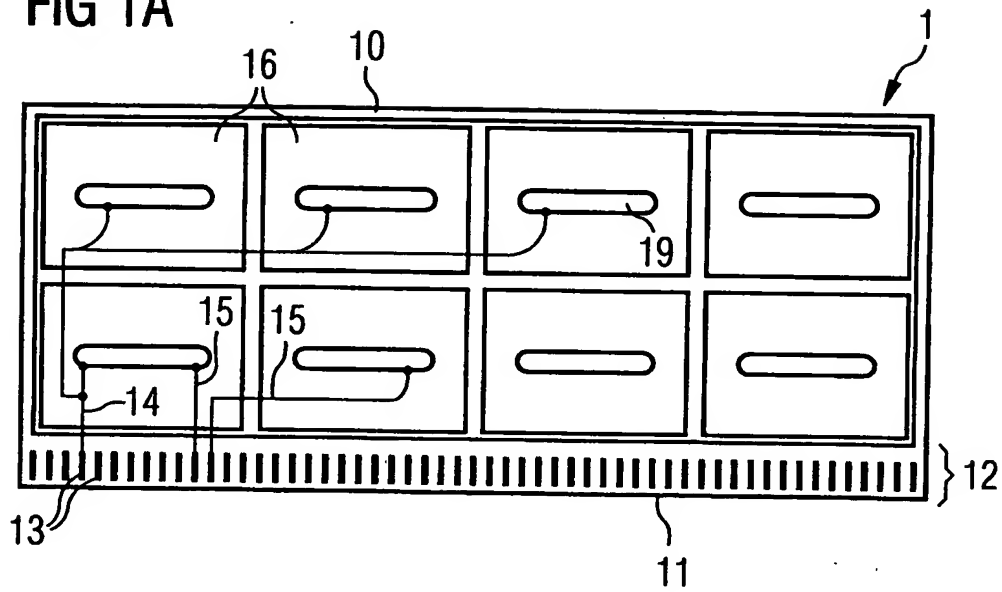


FIG 1B

